

DIALOG(R) File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

015474481 **Image available**

WPI Acc No: 2003-536627/ 200351

XRPX Acc No: N03-425846

**Variable-length decoder has control unit to control encoded data shifter,
based on codeword length and addition bit length output from code
attribute information output unit**

Patent Assignee: CANON KK (CANON)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2003115767	A	20030418	JP 2001310048	A	20011005	200351 B

Priority Applications (No Type Date): JP 2001310048 A 20011005

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 2003115767	A	10	H03M-007/42
---------------	---	----	-------------

Abstract (Basic): JP 2003115767 A

NOVELTY - A shifter (101) shifts the encoded data without header portion, in a predetermined direction. A code attribute information output unit outputs the codeword, the codeword length and the addition bit length corresponding to the codeword, when a codeword is detected from the encoded data. A control unit (104) controls the shifter, based on the codeword length and the addition bit length.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for image decoding method.

USE - For decoding still picture or moving image.

ADVANTAGE - Enables to perform decoding process at high speed.

DESCRIPTION OF DRAWING(S) - The figure shows a block diagram of the variable-length decoder. (Drawing includes non-English language text).

shifter (101)

control unit (104)

THIS PAGE BLANK (USPS)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-115767

(P2003-115767A)

(43)公開日 平成15年4月18日(2003.4.18)

(51)IntCl'

H 03 M 7/42

H 04 N 1/419

7/24

識別記号

F I.

H 03 M 7/42

H 04 N 1/419

7/13

テ-マコ-ド(参考)

5 C 0 5 9

5 C 0 7 8

Z 5 J 0 6 4

審査請求 未請求 請求項の数10 OL (全 10 頁)

(21)出願番号

特願2001-310048(P2001-310048)

(22)出願日

平成13年10月5日(2001.10.5)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 大塚 克己

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100076428

弁理士 大塚 康徳 (外3名)

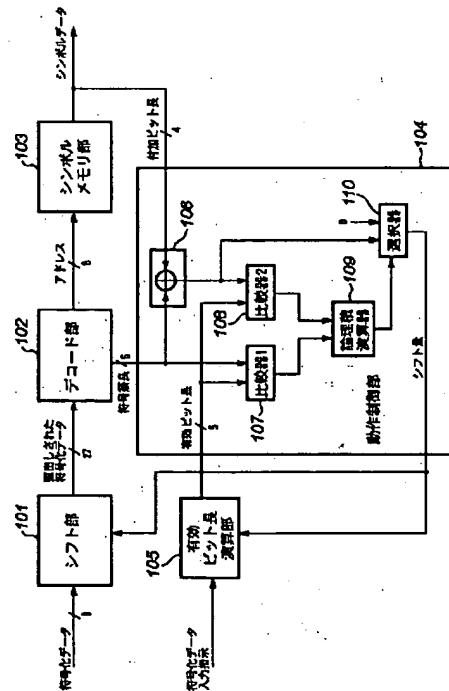
最終頁に続く

(54)【発明の名称】 復号化装置および復号化方法

(57)【要約】

【課題】 回路規模が小さく、かつ高速で可変長復号化処理を行うことが可能な可変長復号化装置を提供することを目的とする。

【解決手段】 可変長の符号化データを復号化する復号化装置であって、順次入力されてくる前記符号化データを所定方向に頭出しして格納するとともに、所定のビット数で前記符号化データをシフトさせることができなシフト部101と、シフト部101で頭出しされた前記符号データから符号語を検出することを繰り返し、符号語が検出された場合に、当該符号語を示す情報と、その符号語長を示す情報ならびに当該符号語に対応する付加ビット長を示す情報を出力する符号属性情報出力手段と、前記符号語長と前記付加ビット長とに基づいて、シフト部101にシフトさせる指示を出力する動作制御部104とを備える。



【特許請求の範囲】

【請求項1】 可変長の符号化データを復号化する復号化装置であって、
順次入力されてくる前記符号化データを所定方向に頭出しして格納するとともに、所定のビット数で前記符号化データをシフトさせることが可能なシフト手段と、
前記シフト手段で頭出しされた前記符号データから符号語を検出することを繰り返し、符号語が検出された場合に、当該符号語を示す情報と、その符号語長を示す情報ならびに当該符号語に対応する付加ビット長を示す情報を出力する符号属性情報出力手段と、
前記符号語長と前記付加ビット長とに基づいて、前記シフト手段にシフトさせる指示を出力する動作制御手段とを備えることを特徴とする復号化装置。

【請求項2】 前記動作制御手段は、

前記符号語長と前記付加ビット長との総和ビット長と、前記シフト手段に格納されている符号化データ長である有効ビット長とを比較する比較手段を備え、該有効ビット長が該総和ビット数以上となったときに、前記シフト手段に該総和ビット数分のシフト量をシフトさせる指示を出力することを特徴とする請求項1に記載の復号化装置。

【請求項3】 前記有効ビット長は、前記シフト手段に入力される前記符号化データのデータ長と、前記動作制御手段により出力される前記シフト量とに基づいて算出されることを特徴とする請求項2に記載の復号化装置。

【請求項4】 前記符号属性情報出力手段により出力された前記符号語長と、前記シフト手段により頭出しされた符号化データと、前記格納手段により出力された付加ビット長とに基づいて、前記符号属性情報出力手段により検出された符号語に対応する付加ビットを検出し、出力する付加ビット出力手段を更に備えることを特徴とする請求項1に記載の復号化装置。

【請求項5】 可変長の符号化データを復号化する復号化方法であって、

順次入力されてくる前記符号化データを所定方向に頭出しして格納するとともに、所定のビット数で前記符号化データをシフトさせることが可能なシフト工程と、
前記シフト工程で頭出しされた前記符号データから符号語を検出することを繰り返し、符号語が検出された場合に、当該符号語を示す情報と、その符号語長を示す情報ならびに当該符号語に対応する付加ビット長を示す情報を出力する符号属性情報出力工程と、
前記符号語長と前記付加ビット長とに基づいて、前記シフト工程によりシフトさせる指示を出力する動作制御工程とを備えることを特徴とする復号化方法。

【請求項6】 前記動作制御工程は、

前記符号語長と前記付加ビット長との総和ビット長と、前記シフト工程に格納されている符号化データ長である有効ビット長とを比較する比較工程を備え、該有効ビッ

ト長が該総和ビット数以上となったときに、前記シフト工程により該総和ビット数分のシフト量をシフトさせる指示を出力することを特徴とする請求項5に記載の復号化方法。

【請求項7】 前記有効ビット長は、前記シフト工程に入力される前記符号化データのデータ長と、前記動作制御工程により出力される前記シフト量とに基づいて算出されることを特徴とする請求項6に記載の復号化方法。

【請求項8】 前記符号属性情報出力工程により出力された前記符号語長と、前記シフト工程により頭出しされた符号化データと、前記格納工程により出力された付加ビット長とに基づいて、前記符号属性情報出力工程により検出された符号語に対応する付加ビットを検出し、出力する付加ビット出力工程を更に備えることを特徴とする請求項5に記載の復号化方法。

【請求項9】 請求項5乃至8のいずれか1項に記載の復号化方法をコンピュータによって実現させるための制御プログラムを格納した記憶媒体。

【請求項10】 請求項5乃至8のいずれか1項に記載の復号化方法をコンピュータによって実現させるための制御プログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 静止画像及び動画像に対する符号化データの復号化装置に関するものである。

【0002】

【従来の技術】 従来から、静止画像や動画像の圧縮符号化技術として可変長符号によるエンタロピー符号化技術が知られており、この技術は国際標準であるJPEG (Joint Photographic Expert Group) 符号化方式においても採用されている。近年、特に可変長符号としてハフマン符号表を用いた符号化・復号化を実現するハードウェアが数多く提案してきた。

【0003】 図2は従来の可変長復号化装置の一例を示す図である。201はシフト部であり、入力された符号化データをビット単位にシフト動作させることが可能な回路により構成されている。202はデコード部で、シフト部201から出力される符号化データと、予め記憶しておいたハフマン符号表(図8参照)における各ハフマン符号(符号語)とを比較することにより、符号化データに含まれるハフマン符号を検出し、その符号語長および対応するアドレスを求める。203は、シンボルメモリ部で、アドレスごとにシンボルデータが格納されており(図9参照)、デコード部202において求められたアドレスに基づいて、シンボルデータから付加ビット長を求める。

【0004】 204は動作制御部であり、デコード部202で求めた符号語長およびシンボルメモリ部203において求めた付加ビット長に基づいて、所定の場合に、シフト部201に対してシフト量を出力する。

【0005】205は有効ビット長演算部であり、シフト部201に存在する符号化データのビット数（有効ビット長）を演算する。206は、最終符号化データ検出部であり、入力される符号化データ中に含まれる最終符号化データを示す符号を検出する。なお、上述の動作制御部204は、有効ビット長演算部205で求めた有効ビット長および最終符号化データ検出部206で検出した最終符号化データを示す符号に基づいて、シフト部201に対するシフト量の出力の有無を選択する。

【0006】次に、この可変長復号化装置をJPEG符号化方式において適応した場合の動作例を説明する。なお、入力される符号化データのビット列を図3に、可変長符号とシンボルデータとの対応表（ハフマン符号表）の一部を図8に示す。また動作時のデータの変遷について図4に示す。なお符号語の最大符号語長は16ビット、最大付加ビット長は11ビットとする。

【0007】まず、シフト部201に対して、図示しないバイト動作回路211より符号化データが入力される。バイト動作回路211は、バイト単位で符号化データの切り出しが可能な回路から構成されており、シフト部201へもバイト単位で符号化データが入力される。すなわち、図3に示す符号化データ（“01001000101110…1001”）を先頭から1バイト（8ビット）単位に随時切り出し、供給する（たとえば、最初に切り出される1バイトは“01001000”、すなわち“0x48”）。なお、バイト動作回路211において、符号化データに含まれるヘッダ部分とマーカコード部分は抜き取られているため、バイト動作回路211からシフト部201に入力される符号化データには、ヘッダ部分とマーカコード部分は含まれていないものとする。

【0008】一方、符号化データの入力と同時に有効ビット演算部206にはバイト動作回路211からシフト部201への符号化データの入力指示を示す符号化データ入力指示が入力される。

【0009】図4のサイクル1は、バイト動作回路211により符号化データの先頭1バイトが切り出された後であって、シフト部201に入力される前の状態を示す。すなわち、符号化データ入力指示がONし（図4の上から3段目のグラフ参照）、符号化データとして“0x48”が切り出されている（図4の上から2段目のグラフ参照）。シフト部201へは符号化データがまだ入力されていないため、この状態での有効ビット長は“0x00”である（図4の上から4段目のグラフ参照）。

【0010】図4のサイクル2は、バイト動作回路211により符号化データの次の1バイト（“10111011”、すなわち“0xBB”）が切り出された後で、シフト部201に入力される前の状態で、かつシフト部201において、サイクル1で切り出された先頭の1バイトが頭出しされ、デコード部202に出力された状態を示す。すなわち、符号化データ入力指示がONを維持し（図4の上

から3段目のグラフ参照）、符号化データとして“0xB”が切り出されている（図4の上から2段目のグラフ参照）。また、シフト部201へはサイクル1で切り出された先頭の1バイトがすでに入力されているため、有効ビット長は8ビット（=1バイト）となる（図4の上から4段目参照）。さらに、サイクル1で入力された先頭1バイトが頭出しされ出力されている（図4の上から5段目参照）。

【0011】シフト部201における符号化データの頭出しは、例えばフリップフロップのようなクロック同期の記憶素子を出力段に構成することによって実現できる。また同様に有効ビット長演算部205における有効ビット長の出力は、例えばフリップフロップのようなクロック同期の記憶素子を出力段に構成することによって実現できる。

【0012】一方、比較器210においては、各サイクルごとに有効ビット長と、最大符号語長および最大付加ビット長を加算した値とが比較される。本例においては、最大符号語長は16ビットで最大付加ビット長は11ビットであるので、16ビット+11ビット=27ビットである。

【0013】サイクル2においては有効ビット長が27ビット以下であるので、比較器210の出力は‘0’となる。各サイクルごとに有効ビット長と、最大符号語長および最大付加ビット長を加算した値とを比較するのは、シフト部に入力された符号化データ（有効ビット長）が、最大符号語長と最大付加ビット長の加算値を越えるまで符号化データをシフト部201に蓄え、符号化データが加算値を越えたら、当該符号化データ中のハフマン符号の検出を開始するためである。

【0014】有効ビット長が最大符号語長と最大付加ビット長の加算値を越えた状態を示すのが図4のサイクル5である。すなわち、サイクル4においてバイト動作回路211により切り出された符号化データ（“0xFA”）がシフト部201に入力されることで、有効ビット長演算部205において演算された有効ビット長が“0x20”（すなわち32ビット）となり、27ビットを越える。このとき、シフト部201によりデコード部202に出力される頭出しされた符号化データは、“0x48BB07FA”であり、デコード部202ではハフマン符号表に基づいてハフマン符号を検出する。“0x48BB07FA”（=“010000101101100000111111110100”）中に含まれる最初のハフマン符号は“01”であることから、図8より符号語長=2、アドレス=2が求まる。さらにシンボルメモリ部203では、図9よりアドレス=2に対応するシンボルデータ（Run/Size）“0/2”（図4の最下段参照）および付加ビット長“2”が求まる。その結果、ハフマン符号の符号語長2ビットと、付加ビット長2ビットよりシフト量4ビット（=2ビット+2ビット）が求まる（図4の上から6段目のグラフ参照）。か

かるシフト量がシフト201に入力され、シフト部201において4ビットのシフト・アウト動作が行われる。以降、サイクル6でも同様の処理が行われる。

【0015】一方、最終符号化データ検出器206においては、符号化データの終わりを示すEOIマークコードを検出する。これは、最終符号化データ近辺においては、たとえすべての符号化データが入力されたとしてもシフト部201の有効ビット長が27ビットに達しない場合があるためである。もし、EOIマークコードを検出した場合には最終符号化データ検出器206の出力は‘1’となる。

【0016】サイクル2において論理和演算部209には、比較器210と最終符号化データ検出器206の出力信号の値‘0’が入力されるので論理和演算部209の出力信号の値は‘0’となる。

【0017】このため、選択器208の出力信号の値は、“00000”となる。一方、サイクル5において論理和演算部209には比較器210の出力信号“1”と、最終符号化データ検出器206の出力信号“0”が入力されるので、論理演算器209の出力信号は、符号語長と付加ビット長を加算した値である4ビットを示す“00100”が出力される。

【0018】以上のように、有効ビット長が最大符号語長と最大付加ビット長の加算値を超えるまではシフト部201におけるシフト・アウト動作は行われず、復号化処理は中断された状態となる。

【0019】

【発明が解決しようとする課題】このように、従来の可変長復号化装置においては、シフト部201において頭出しされた符号化データの有効ビット長が、最大符号語長と最大付加ビット長を加算したビット数以上であるか否かにより復号化処理を行うか否かを判断していた。

【0020】このため、従来例の図2のサイクル2のように、シフト部201により頭出しされた符号化データは最初のシンボルデータ(Run/Size)=0/2に対応する符号語(ハフマン符号)であるにも関わらず、この時点では復号化処理を開始することが出来ず、サイクル5まで待たなければならなかった。

【0021】この問題は従来例の説明において示したような、符号化データの先頭部分を復号化処理する際に発生するだけにとどまらない。例えば、符号化データ中に符号語長の長いものが存在する場合にも、シフト部201の有効ビット長が急激に少なくなることで、再度有効ビット長が27ビット(最大符号語長+最大付加ビット長)に達するまでに同様の問題が発生しそる。

【0022】また、従来例のように、有効ビット長が、最大符号語長と最大付加ビット長を加算したビット数以上であるか否かにより復号化処理を行うか否かを判断する場合、最終符号化データ検出器206で示されるような符号化データの終わりを検出する回路が必要となり回

路規模が大きくなってしまうという問題もある。

【0023】仮に図2の最終符号化データ検出器206を削除し、可変長復号化装置外部から符号化データの終わりを示す情報を信号として与える構成とした場合でも、可変長復号化装置外部に制御回路が必要となり回路規模の増加は避けることができない。

【0024】本発明は上記課題を解決するためになされたもので、回路規模が小さく、かつ高速で可変長復号化処理を行うことが可能な可変長復号化装置を提供することを目的とする。

【0025】

【課題を解決するための手段】かかる課題を解決するため、例えば本発明の可変長復号化装置は以下の構成を備える。すなわち、可変長の符号化データを復号化する復号化装置であって、順次入力されてくる前記符号化データを所定方向に頭出しして格納するとともに、所定のビット数で前記符号化データをシフトさせることが可能なシフト手段と、前記シフト手段で頭出しされた前記符号データから符号語を検出することを繰り返し、符号語が検出された場合に、当該符号語を示す情報と、その符号語長を示す情報ならびに当該符号語に対応する付加ビット長を示す情報を出力する符号属性情報出力手段と、前記符号語長と前記付加ビット長とに基づいて、前記シフト手段にシフトさせる指示を出力する動作制御手段とを備える。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の好適な実施形態を詳細に説明する。

【0027】

【第1の実施形態】本実施形態においては、従来の技術との差違を明確にするために従来例を説明した時に使用した図3に示される符号化データが入力された場合を考える。なお、符号語およびシンボルデータについても図8、図9を用いることとする。

【0028】図1は本発明の第1の実施形態にかかる可変長復号化装置を示す図である。

【0029】101はシフト部で、図示しないバイト動作回路111から符号化データが入力される。バイト動作回路111は、バイト単位で符号化データの切り出しが可能な回路から構成されており、従来例で示した回路と同一のものでもよい。

【0030】102はデコード部であり、シフト部101から出力される符号化データと、予め記憶しておいたハフマン符号表(図8)における各ハフマン符号(符号語)とを比較することにより、符号化データに含まれるハフマン符号を検出し、その符号語長および対応するアドレスを求める。103は、シンボルメモリ部で、アドレスごとにシンボルデータが格納されており(図9参照)、デコード部102において求められたアドレスに基づいて、シンボルデータから付加ビット長を求める。

【0031】104は動作制御部であり、デコード部102で求めた符号語長およびシンボルメモリ部103において求めた付加ビット長に基づいて、所定の場合に、シフト部101に対してシフト量を出力する。

【0032】105は有効ビット長演算部であり、シフト部101に存在する符号化データのビット数（有効ビット長）を演算する。

【0033】かかる可変長復号化装置をJPEG符号化方式において適応した場合の動作を図5を用いて説明する。

【0034】図5のサイクル1は、バイト動作回路111により符号化データの先頭1バイトが切り出された後であって、シフト部101に入力される前の状態を示す。すなわち、符号化データ入力指示がONし（図5の上から3段目のグラフ参照）、符号化データとして“0x48”が切り出されている（図5の上から2段目のグラフ参照）。シフト部101へは符号化データがまだ入力されていないため、この状態での有効ビット長は“0x00”である（図5の上から4段目のグラフ参照）。

【0035】図5のサイクル2は、バイト動作回路111により符号化データの次の1バイト（“10111011”、すなわち“0xBB”）が切り出された後で、シフト部101に入力される前の状態で、かつシフト部101において、サイクル1で切り出された先頭の1バイトが頭出しされ、デコード部102に出力された状態を示す。すなわち、符号化データ入力指示がONを維持し（図5の上から3段目のグラフ参照）、符号化データとして“0xBB”が切り出されている（図5の上から2段目のグラフ参照）。また、シフト部101へはサイクル1で切り出された先頭の1バイトがすでに入力されているため、有効ビット長は8ビット（=1バイト）となる（図5の上から4段目参照）。さらに、サイクル1で入力された先頭1バイトが頭出しされ出力されている（図5の上から5段目参照）。

【0036】シフト部101における符号化データの頭出しあは、例えばフリップフロップのようなクロック同期の記憶素子を出力段に構成することによって実現できる。また同様に有効ビット長演算部105における有効ビット長の出力は、例えばフリップフロップのようなクロック同期の記憶素子を出力段に構成することによって実現できる。

【0037】デコード部102では、シフト部101からの頭出しされた符号化データ（“0x48000000”、すなわち、“01001000”）について、ハフマン符号表（図8）に基づいてハフマン符号を検出する。符号化データ（“0x48000000”、すなわち、“01001000”）中に含まれる最初のハフマン符号は“01”であることから、図8より符号語長=2、アドレス=2が求まる。さらに、シンボルメモリ部103では図9よりシンボルデータ（Run/Size）“0/2”（図5の最下段参照）およ

び付加ビット長“2”が求まる。その結果、ハフマン符号の符号語長2ビットと、付加ビット長2ビットよりシフト量4ビット（=2ビット+2ビット）が求まる（図5の上から6段目参照）。

【0038】一方、動作制御部104の比較器107においては、デコード部102において求めた符号語長と、有効ビット長演算部105において演算された有効ビット長との比較を行う。サイクル2において、有効ビット長は8ビット（図5の上から4段目参照）で符号語長は2ビットであるので、有効ビット長≥符号語長が成り立つことから比較器107の出力信号の値は‘1’となる。通常、符号語長が有効ビット長を越えることはないが、なんらかの異常により誤った符号語長が送信された場合に、比較器107を設けることにより復号化処理を中断させることができる。

【0039】比較器107の出力信号の値が‘1’の場合には（すなわち、有効ビット長≥符号語長が成り立っている間は）、有効なアドレスがデコード手段102からシンボルメモリ部103に対して出力されているため復号化処理を継続する。

【0040】比較器108においてはデコード部102から入力される符号語長とシンボルメモリ部103から入力される付加ビット長を加算器106において加算したビット長と、有効ビット長演算部105から入力される有効ビット長とを比較する。なお、サイクル2において、有効ビット長は8ビットで符号語長と付加ビット長の加算結果は4ビットであるので比較器108の出力信号値は‘1’となる。これは比較器108が、シフト部101においてシフト・アウト動作を行って良いと判定したことを意味する。よって選択器110においては、比較器1及び比較器2の出力信号の論理積が‘1’であるので符号語長と付加ビット長を加算したビット数をシフト量として有効ビット長演算部105に出力する。

【0041】有効ビット長演算部106では現在の有効ビット長である8ビットに対して、バイト動作回路111から入力される8ビットを加算し、かつ動作制御部104から入力されるシフト量を減算する。その演算結果が有効ビット長演算部106内の記憶素子に入力されてサイクル3において有効ビット長演算部106から有効ビット長として出力される。またシフト部101においては、動作制御部104から入力されるシフト量から現在のサイクルにおいて頭出しされている符号化データを左にシフトして、かつ動作制御部104から入力される符号化データを接続する。

【0042】上記処理動作を、サイクル毎に符号化データの終わりまで繰り返し行うことによって復号化処理を高速に行うことが可能である。すなわち、従来例のようにシフト部201の有効ビット長と予め定められた定数（27ビット）を比較するのではなく、シフト部101の有効ビット長とデコード部102から出力される符号語

長を毎サイクル比較することによって、復号化処理の開始及び中断を判断しているため、復号化処理の中止時間の最小化を実現することができた。また、かかる構成により、図2の従来例で示した最終符号化データ検出器206を必要としない可変長復号化装置を実現することが可能となった。

【0043】

【第2の実施形態】次に本発明の好適な第2の実施形態について詳細を説明する。

【0044】本実施形態は、シンボルメモリ部としてクロック同期で動作を行う同期式RAMを使用した場合の例を示す。

【0045】ここでは、従来の技術との差違を明確にするために従来例を説明した時に使用した図3に示される符号化データが入力された場合を考える。なお、符号語及びシンボルデータについても図8、図9を用いることとする。

【0046】図6は本発明を利用した第2の実施形態にかかる可変長復号化装置の一例を示す図である。

【0047】601はシフト部であり、図示しないバイト動作回路614から符号化データが入力される。バイト動作回路614は、バイト単位で符号化データの切り出しが可能な回路から構成されており、従来例で示した回路と同一のものでよい。かかる可変長復号化装置をJPEG符号化方式において適応した場合の動作を図5を用いて説明する。

【0048】図7のサイクル1における本実施形態の可変長復号化装置の動作は第1の実施形態と同様である。

【0049】図7のサイクル2においては、比較器608においてデコード部602から入力される符号語長と有効ビット長演算部605から入力される有効ビット長を比較器1(608)において比較する。比較器1(608)の出力信号は復号化処理を継続するか中断するかを示す信号である。サイクル2においては、有効ビット長は8ビットで符号語長は2ビットであるので比較器1(608)の出力信号の値は「1」となる。これはデコード部602からシンボルメモリ部603に対して有効なアドレスが出力されている事を示していると同時に、付加ビットシフト部1(606)に対してデータをラッチする指示信号となる。また、比較器1(608)の出力信号は記憶部613に記憶され、後述する論理積演算器611に入力される。

【0050】付加ビットシフト部1(606)は、シフト部601から入力される頭出しされた符号データをデコード部602により出力された符号語長分左にシフトしてデータをラッチする。なお、符号語長はフリップフロップのような記憶素子に記憶される。

【0051】次の図7のサイクル3においては、加算器609においてシンボルメモリ部603から入力される付加ビット長とデコード部602から入力される符号語

長とを加算して、有効ビット長演算部605から入力される有効ビット長と比較器2(610)で比較する。もし有効ビット長が加算器609からの入力データ以上である場合には比較器2(610)の出力信号の値は

‘1’となる。サイクル3においては、比較器2(610)の出力信号の値は‘1’であるので、論理積演算器611において、記憶部613からの出力信号“1”との論理積も“1”となる。その結果、選択器612においてシンボルメモリ部603から入力される付加ビット長とデコード部602から入力される符号語長を加算したビット数がシフト量としてシフト部601と有効ビット長演算部605に出力される。

【0052】一方、付加ビットシフト部2(607)においては、付加ビットシフト部1(606)からの入力に対してシンボルメモリ部603から入力される付加ビット長をもとに右シフトを行い付加ビット長として出力する。

【0053】本実施形態において示されるように本発明によってシンボルメモリ部の種類に依存せずに、復号化処理を高速に行う可変長復号化装置を構成することができる。

【0054】

【他の実施形態】上述の実施形態では、図1に示すような復号化装置について説明してきたが、本発明は、複数の機器（例えばホストコンピュータ、インターフェース機器、リーダ、プリンタなど）から構成されるシステムに適用しても、一つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用してもよい。

【0055】また、本発明の復号化方法はエンコードソフトやデコードソフトとして頒布することも可能である。そのため、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体（または記録媒体）を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ（またはCPUやMPU）が記憶媒体に格納されたプログラムコードを読み出し実行することによっても、達成されることは言うまでもない。この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。

【0056】また、コンピュータが読み出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているオペレーティングシステム(OS)などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0057】さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張カードやコンピュータに接続された機能拡張ユニットに備わ

るメモリに書き込まれた後、そのプログラムコードの指示に基づき、その機能拡張カードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0058】

【発明の効果】以上説明したように、本発明によれば、回路規模の小さくかつ高速で可変長復号化処理を行う事が可能な可変長復号化装置を実現する可能となった。

【図面の簡単な説明】

【図1】本発明の第1の実施形態にかかる可変長復号化装置を表すブロック図である。

【図2】従来技術を使用した可変長復号化装置を表すブロック図である。

【図3】可変長復号化装置において処理される可変長符号化データの一例を示す図である。

【図4】従来技術による動作波形を示す図である。

【図5】本発明の第1の実施形態にかかる可変長復号化装置を用いた場合の動作波形を示す図である。

【図6】本発明の第2の実施形態にかかる可変長復号化装置を表すブロック図である。

【図7】本発明の第2の実施形態にかかる可変長復号化装置を用いた場合の動作波形を示す図である。

【図8】ハフマン符号表の一例を示す図である。

【図9】シンボルデータと付加ビット数との対応を示す図である。

【符号の説明】

101 シフト部

102 デコード部

103 シンボルメモリ部

104 動作制御部

105 有効ビット長演算部

106 加算器

107 比較器1

108 比較器2

109 論理積演算器

110 選択器

201 シフト部

202 デコード部

203 シンボルメモリ部

204 動作制御部

205 有効ビット長演算部

206 最終符号化データ検出器

207 加算器

208 選択器

209 論理和演算器

210 比較器

601 シフト部

602 デコード部

603 シンボルメモリ部

604 動作制御部

605 有効ビット長演算部

606 付加ビットシフト部1

607 付加ビットシフト部2

608 比較器1

609 加算器

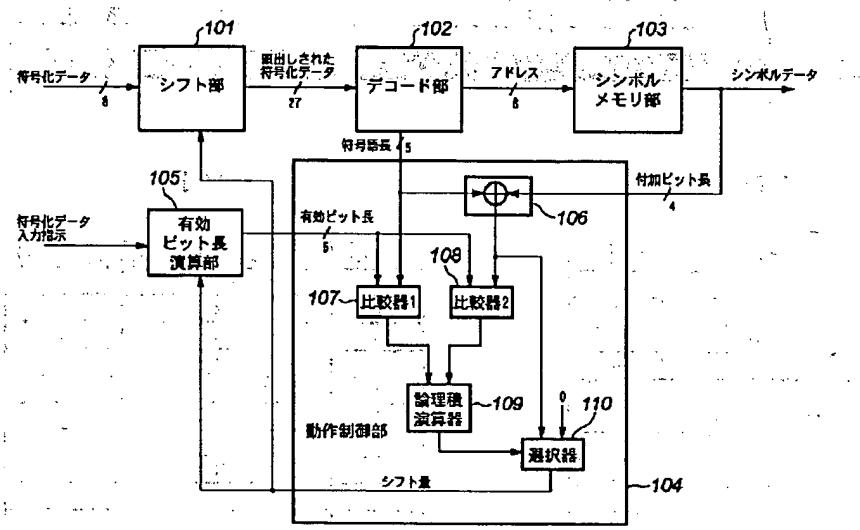
610 比較器2

611 論理積演算器

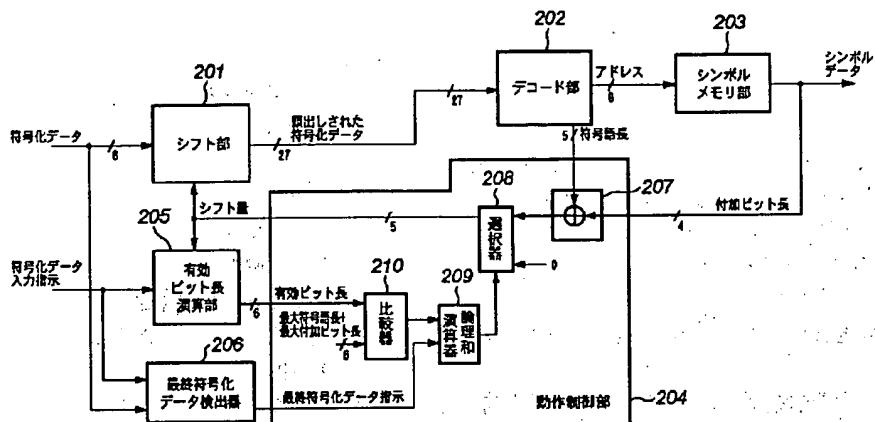
612 選択器

613 記憶部

【図1】



[图2]



(圖3)

【四】

The timing diagram illustrates the relationship between the clock signal and various data parameters over seven cycles. The clock signal (クロック) is represented by a square wave at the top. Below it, the symbolized data (符号化データ) shows a sequence of bytes: 0x46, 0xBB, 0x07, 0xFA, followed by a repeating sequence of 0xB0, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x37. The input indicator (入力指示) is shown as a pulse occurring during the fourth cycle. The effective bit length (有効ビット長) is indicated by a sequence of bytes: 0x00, 0x08, 0x10, 0x18, 0x20, 0x1C, 0x1E. The output symbolized data (頭出しされた符号化データ) is shown as a sequence of memory addresses: 0x00000000, 0x48000000, 0x48B00000, 0x48B80700, 0x48BB07FA, 0x46B807FA, 0xEC1FE800. The shift amount (シフト量) is indicated by a sequence of bytes: 0x0, 0x4, 0x8, 0x8. The symbol table (シンボルデータ) is shown as a sequence of bytes: 0/0, 0/1, 0/2, 0/3, 0/4.

(图8)

[図9]

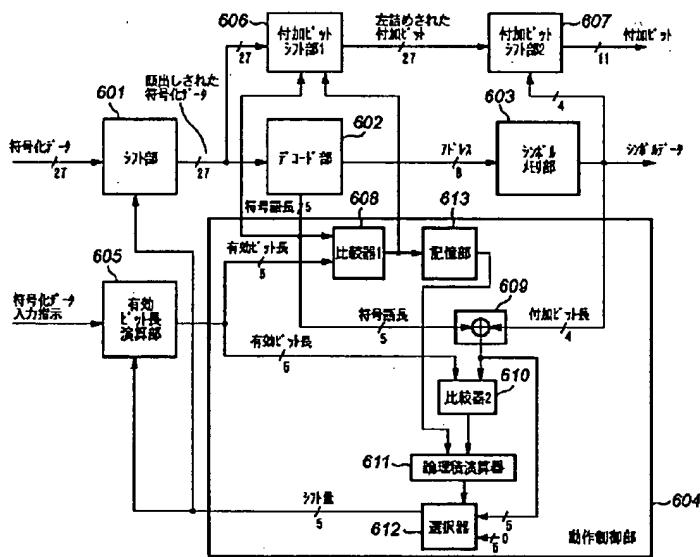
符号長	符号	アドレス
2	00	1
2	01	2
3	100	3
4	1110	4
:	:	:
16	11111111000010	9
:	:	:
12	111111110100	24
:	:	:
6	111010	31
:	:	:

アドレス	シンボルデータ (Run/Size)	付加ビット数
1	0/1	1
2	0/2	2
3	0/3	3
4	0/4	4
:	:	
9	0/9	9
:	:	
24	2/4	4
:	:	
31	3/1	1
:	:	

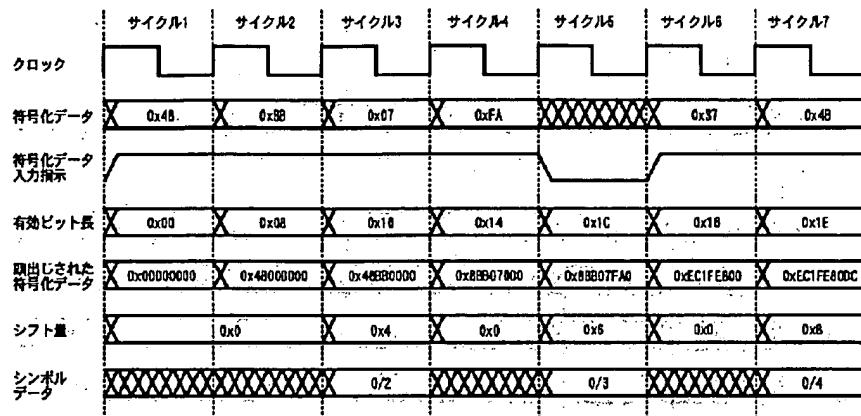
【図5】

	サイクル1	サイクル2	サイクル3	サイクル4	サイクル6	サイクル6	サイクル7
クロック							
符号化データ	X 0x48	X 0x80	X 0x07	X 0xFA	X 0x37	X 0x48	X 0xFE
符号化データ 入力指示							
有効ビット長	X 0x00	X 0x08	X 0xC	X 0xE	X 0xE	X 0x13	X 0x8
取出しされた 符号化データ	X 0x00000000	X 0x48000000	X 0x8BB00000	X 0xEC130000	X 0x1FE20000	X 0xF46ED000	X 0xE97FC100
シフト量	X 0x0	X 0x4	X 0x3	X 0x8	X 0x3	X 0x10	X 0x9
シンボル データ	X X X X 0/2	X X X X 0/3	X X X X 0/4	X X X X 0/1	X X X X 2/4	X X X X 3/1	

【図6】



【図7】



フロントページの続き

Fターム(参考) 5C059 KK06 MA23 MC38 ME02 ME17
 PP01 SS20 SS26 SS28 TA00
 TC45 TD11 UA04 UA05
 5C078 AA04 BA53 CA31 DA02 DA12
 5J064 AA03 AA04 BA09 BC01 BC02
 BC03 BC04 BC08 BC14 BC25
 BC29 BD04 BD06 BD07